

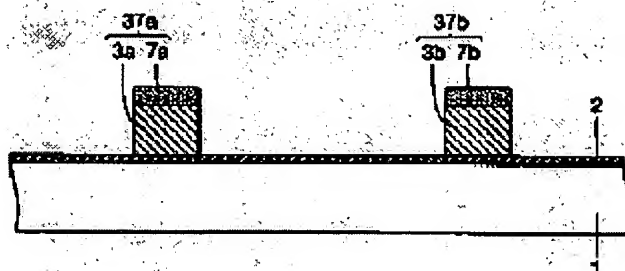
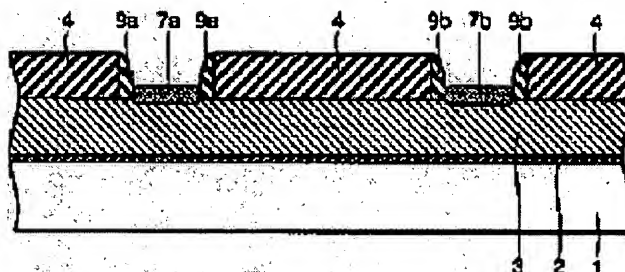
MANUFACTURE FOR SEMICONDUCTOR DEVICE

Patent number: JP2000315661
Publication date: 2000-11-14
Inventor: YOSHIMUNE HIROYASU
Applicant: MITSUBISHI ELECTRIC CORP
Classification:
- international: H01L21/28; H01L21/3205; H01L21/8234; H01L27/088; H01L29/78
- european:
Application number: JP19990121488 19990428
Priority number(s):

Abstract of JP2000315661

PROBLEM TO BE SOLVED: To fine a semiconductor device by a method, wherein a gate electrode itself is reduced, and a space between the gate electrodes is narrowed.

SOLUTION: In this manufacture, masking cobalt silicide films 7a, 7b, until a surface of a silicon oxide film 2 is exposed, sidewall silicon oxide films 9a, 9b, a silicon oxide film 4, and a polycrystalline silicon film 3 are etched and removed. Thus, a gate electrode composed of a polycide film containing the cobalt silicide films 7a, 7b and polycrystalline silicon films 3a, 3b is formed.



Data supplied from the esp@cenet database - Worldwide

AL

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-315661

(P2000-315661A)

(43) 公開日 平成12年11月14日 (2000. 11. 14)

(51) Int.Cl. ⁷	識別記号	F I	テームコード (参考)	
H 0 1 L 21/28	3 0 1	H 0 1 L 21/28	3 0 1 D	4 M 1 0 4
21/3205		21/88	Q	5 F 0 3 3
21/8234		27/08	1 0 2 D	5 F 0 4 0
27/088		29/78	3 0 1 G	5 F 0 4 8
29/78				

審査請求 未請求 請求項の数 4 O L (全 11 頁)

(21) 出願番号 特願平11-121488

(22) 出願日 平成11年4月28日 (1999. 4. 28)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 能宗 弘安

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100064746

弁理士 深見 久郎 (外3名)

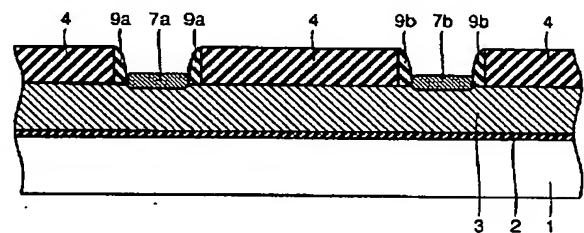
最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 ゲート電極そのものの縮小化、および、ゲート電極同士間の狭小化を図ることによって、半導体装置の微細化を図る。

【解決手段】 コバルトシリサイド膜7a、7bをマスクとして、シリコン酸化膜2の表面が露出するまで、側壁シリコン酸化膜9a、9b、シリコン酸化膜4および多結晶シリコン膜3をエッチングし除去する。それにより、コバルトシリサイド膜7a、7bおよび多結晶シリコン膜3a、3bを含むポリサイド膜からなるゲート電極を形成する。



【特許請求の範囲】

【請求項1】 シリコンを含む第1膜の上に、所定のエッチング条件における選択比が前記第1膜より大きな第2膜を形成する工程と、

前記第1膜の上面が露出するまで、所定の領域の前記第2膜をエッチングして、所定開口を形成する工程と、
少なくとも前記第1膜の露出した表面を覆うように高融点金属膜を堆積する工程と、

前記第1膜と前記高融点金属膜とを反応させ、高融点金属シリサイド膜を形成する工程と、

未反応の前記高融点金属膜を除去する工程と、

前記高融点金属シリサイド膜をマスクとして、前記第2膜および前記第1膜をエッチングし除去する工程とを備える、半導体装置の製造方法。

【請求項2】 シリコンを含む第1膜の上に、所定のエッチング条件における選択比が前記第1膜より大きな第2膜を形成する工程と、

前記第1膜の上面が露出するまで、所定の領域の前記第2膜をエッチングして、所定開口を形成する工程と、
前記開口を覆うように、所定のエッチング条件における選択比が前記第1膜より大きな第3膜を形成する工程と、

前記第1膜の表面が露出するまで、前記第3膜をエッチングし、第2膜の側壁に側壁膜を形成する工程と、

少なくとも前記第1膜の露出した表面を覆うように高融点金属膜を堆積する工程と、

前記第1膜と前記高融点金属膜とを反応させ、高融点金属シリサイド膜を形成する工程と、

未反応の前記高融点金属膜を除去する工程と、

前記高融点金属シリサイド膜をマスクとして、前記第2膜、前記側壁膜および前記第1膜をエッチングし除去する工程とを備える、半導体装置の製造方法。

【請求項3】 前記所定の開口を形成する前記工程において、隣接する開口領域を有するように前記所定の開口を形成する、請求項2に記載の半導体装置の製造方法。

【請求項4】 前記第3膜として、所定のエッチング条件における選択比が前記第2膜よりも大きい材料を用い、

前記第1膜の側壁に側壁膜を形成する前記工程の後、高融点金属膜を堆積する前記工程の前に、前記開口うちの一部の領域の前記側壁膜を除去する工程をさらに備える、請求項2に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ポリサイド配線を有する半導体装置の製造方法に関するものである。

【0002】

【従来の技術】従来から半導体素子の微細化および高密度化が進められてきており、今後も、さらに半導体素子の微細化および高密度化は進む傾向にある。現在では、

0.15 μ m～0.25 μ mの寸法ルールで設計されたメモリデバイス、ロジックデバイス等の半導体デバイスが開発、生産されている。このような半導体デバイスにおいては、ゲート電極の幅、および、ゲート電極同士の間隔の縮小化、ならびに、ゲート電極の薄膜化が重要な課題となっている。

【0003】しかしながら、ゲート電極の膜厚を薄くすると、当然のこととして、ゲート電極の高抵抗化を引き起こす。そのため、膜厚を薄くしても、低い抵抗のゲート電極を形成するために、ゲート電極の材料として抵抗の小さな高融点金属を含むポリサイド化された材料を用いる技術が重要になってくる。

【0004】ここで、従来のポリサイド配線を用いた半導体装置の製造方法を、図22～図25を用いて説明する。従来の半導体装置の製造方法は、まず、シリコン基板101にLOCOS(LOCal Oxidation of Silicon)法またはトレンチ分離方式により素子分離領域(図示せず)を形成する。

【0005】次に、素子形成領域のシリコン基板101の表面から5nm～10nmの深さにかけて熱酸化によりシリコン酸化膜102を形成する。その後、シリコン酸化膜102の上に、膜厚50nm～200nmのリンがドーパされた多結晶シリコン膜103を化学気相成長法、すなわち、CVD(Chemical Vapor Deposition)法により形成する。

【0006】その後、多結晶シリコン膜103の上に膜厚50nm～200nmのタングステンシリサイド膜107を形成する。次に、タングステンシリサイド膜107の上に、膜厚100nm程度のシリコン酸化膜104およびシリコン窒化膜110を形成する。その後、写真製版処理を行ない、シリコン窒化膜110の上に所定のパターンのレジスト膜105a、105bを形成し、図22に示すような状態とする。

【0007】次に、図23に示すように、レジスト膜105a、105bをマスクとしてシリコン酸化膜104およびシリコン窒化膜110を所定のパターンのシリコン酸化膜104a、104bおよびシリコン窒化膜110a、110bにドライエッチングする。その後、所定のシリコン酸化膜104a、104bおよびシリコン窒化膜110a、110bをハードマスクとして多結晶シリコン膜103およびタングステンシリサイド膜107のドライエッチングを行い、図24に示すように、所定のパターンの多結晶シリコン膜103a、103bおよびタングステンシリサイド膜107a、107bを形成する。これにより、多結晶シリコン膜103a、103bおよびタングステンシリサイド膜107a、107bからなるポリサイド膜のゲート電極137a、137bが形成される。次に、図25に示すように、ゲート電極137a、137bを埋め込むように層間酸化膜108をシリコン酸化膜102の上に堆積する。

【0008】

【発明が解決しようとする課題】上記のようなゲート電極137a、137bの形成方法では、ゲート電極137a、137bを形成した後に、タングステンシリサイド膜107a、107bの上にシリコン酸化膜104a、104bおよびシリコン窒化膜110a、110bが残った状態で層間酸化膜108の形成を行なう、すなわち、アスペクト比が大きな隙間に層間絶縁膜108を埋め込むことになる。そのため、ゲート電極137aとゲート電極137bとの間隔が狭ければ、図25に示すように、ゲート電極137aとゲート電極137bとの間に酸化膜108が埋め込まれず、ボイド108aが形成されてしまうという不都合な現象が生じる。このボイド108aは、トランジスタ特性や後工程で堆積される層に悪影響を与える。その結果、ゲート電極137a、137b同士の間隔を所定の幅以上にするという制限が課され、半導体装置の微細化の妨げとなっている。

【0009】また、上記ゲート電極の形成方法では、レジスト膜105a、105bの最小幅より細い幅のゲート電極を形成できない。

【0010】本発明は、上記の課題を解決するためになされたものであり、その目的は、ゲート電極そのものの縮小化、および、ゲート電極同士の間の狭小化を図ることによって、半導体装置の微細化を図ることである。

【0011】

【課題を解決するための手段】請求項1に記載の本発明における半導体装置の製造方法は、シリコンを含む第1膜の上に、所定のエッチング条件における選択比が第1膜より大きな第2膜を形成する工程と、第1膜の上面が露出するまで、所定の領域の第2膜をエッチングして、所定開口を形成する工程と、少なくとも第1膜の露出した表面を覆うように高融点金属膜を堆積する工程と、第1膜と高融点金属膜とを反応させ、高融点金属シリサイド膜を形成する工程と、未反応の高融点金属膜を除去する工程と、高融点金属シリサイド膜をマスクとして、第2膜および第1膜をエッチングし除去する工程とを備えている。

【0012】このような製造方法を用いることにより、高融点金属シリサイド膜をマスクとして第2膜および第1膜をエッチングするため、高融点金属シリサイド膜を含むポリサイド膜の上にハードマスクとなる膜を残すことなく、ポリサイド膜からなる配線層またはゲート電極を形成できる。それにより、配線層またはゲート電極が2以上近接して形成されるようなパターンの場合に、配線層またはゲート電極の上にハードマスクとなる膜が残存するような従来の製造方法に比較して、配線層またはゲート電極同士の間の埋め込み部分のアスペクト比を小さくできる。そのため、配線層またはゲート電極を埋め込むような層間絶縁膜を形成する工程において、配線層またはゲート電極同士の隙間のアスペクト比が大きくな

ることに起因して生じる、配線層またはゲート電極同士の間に層間絶縁膜となる膜が埋め込まれず、ボイドが形成されるような不都合な現象が抑制される。その結果、配線層またはゲート電極同士の間の間隔が小さい場合にも、層間絶縁膜を形成する以降の工程が精確に行なえるため、従来に比較して微細化された半導体装置を形成することが可能となる。

【0013】請求項2に記載の本発明における半導体装置の製造方法は、シリコンを含む第1膜の上に、所定のエッチング条件における選択比が第1膜より大きな第2膜を形成する工程と、第1膜の上面が露出するまで、所定の領域の第2膜をエッチングして、所定開口を形成する工程と、開口を覆うように所定のエッチング条件における選択比が第1膜より大きな第3膜を形成する工程と、第1膜の表面が露出するまで、第3膜をエッチングし、第2膜の側壁に側壁膜を形成する工程と、少なくとも第1膜の露出した表面を覆うように高融点金属膜を堆積する工程と、第1膜と高融点金属膜とを反応させ、高融点金属シリサイド膜を形成する工程と、未反応の高融点金属膜を除去する工程と、高融点金属シリサイド膜をマスクとして、第2膜、側壁膜および第1膜をエッチングし除去する工程とを備えている。

【0014】このような製造方法を用いることにより、側壁膜を有した状態で高融点金属シリサイド膜を形成するため、第2膜に形成された開口パターンを用いて形成できるパターンの最小幅よりも細い幅のパターンで高融点金属シリサイド膜を形成できる。そのため、配線層またはゲート電極を微細化することができる。その結果、側壁膜を用いない場合に比較して半導体装置を微細化することができる。

【0015】請求項3に記載の本発明における半導体装置の製造方法は、請求項2に記載の半導体装置の製造方法において、所定の開口を形成する工程において、隣接する開口領域を有するように所定の開口を形成する。

【0016】このように、配線層またはゲート電極を形成するための所定の開口を互いに隣接して形成する場合に上記製造方法を用いることにより、配線層またはゲート電極同士の間の間隔が小さい場合にも、層間酸化膜を形成する以降の後工程が精確に行なえるという上記請求項1に記載の半導体装置の製造方法と同様の作用効果に加えて次のような作用効果がある。

【0017】すなわち、請求項3に記載の製造方法によれば、側壁膜の膜幅だけ配線層またはゲート電極の幅をより小さくできることにより、配線層またはゲート電極同士をさらに接近して形成できるため、側壁膜を用いない場合に比較して半導体装置をさらに微細化することができる。

【0018】請求項4に記載の本発明における半導体装置の製造方法は、請求項2に記載の半導体装置の製造方法において、第3膜として、所定のエッチング条件にお

ける選択比が第2膜よりも大きい材料を用い、第1膜の側壁に側壁膜を形成する工程の後、高融点金属を堆積する工程の前に、開口うちの一部の領域の側壁膜を除去する工程をさらに備えている。

【0019】このような製造方法を用いることにより、所定のエッチング条件における第3膜の選択比が第2膜よりも大きいため、所定の領域の第3膜のみがエッチングにより除去される。そのため、所定の領域以外の領域に形成された配線層またはゲート電極は、側壁膜を有した状態で高融点金属シリサイド膜が形成されるため、第1膜のパターンが形成できる最小幅よりも細い幅のパターンで高融点金属シリサイド膜が形成される。そのため、所定の領域以外の領域に形成された配線層またはゲート電極は側壁膜を有しない場合に比較して微細化される。また、所定の領域においては、側壁膜が除去された状態で高融点金属膜が形成されるため、第2膜に開口パターンが形成されたときの幅で高融点金属シリサイド膜が形成され、エッチングが行われる。それにより、配線層またはゲート電極はシリコン窒化膜に形成された開口パターンの幅で形成される。そのため、半導体装置が複数の素子形成領域を有する場合において、異なる幅の配線層またはゲート電極を、それぞれの領域に1工程で形成することができる。その結果、異なる領域に異なる幅の配線層またはゲート電極を同時に形成することが可能となるため、半導体装置の製造工程が減少する。

【0020】

【発明の実施の形態】以下、本発明の実施の形態を図に基づいて説明する。

【0021】（実施の形態1）本発明の実施の形態1における半導体装置の製造方法を、図1～図5を用いて説明する。本実施の形態における半導体装置の製造方法は、まず、シリコン基板1にLOCOS法またはトレンチ分離方式により素子分離領域（図示せず）を形成する。

【0022】次に、素子形成領域のシリコン基板1の表面から5nm～10nmの深さにかけて熱酸化によりシリコン酸化膜2を形成する。その後、シリコン酸化膜2の上に、膜厚50nm～200nmのリンがドーパされた多結晶シリコン膜3を化学気相成長法、すなわち、CVD法により形成する。

【0023】次に、TEOS (Tetra Ethyle Ortho Silicate) を用いて、多結晶シリコン膜3の上に、サリサイドプロテクションとして利用される、所定のエッチング条件において多結晶シリコン膜3のエッチング速度より大きなエッチング速度を有する、すなわち、選択比が大きな、膜厚50nmのシリコン酸化膜4を形成する。その後、写真製版処理を行ない、接近して形成された開口を有する所定のパターンのレジスト膜5をシリコン酸化膜4の上に形成する。次に、レジスト膜5をマスクとしてシリコン酸化膜4をドライエッチングし、所定

のパターンの開口を設け、多結晶シリコン膜3の上面を露出することによって、図1に示す状態とする。その後、レジスト膜5を除去する。

【0024】次に、図2に示すように、多結晶シリコン膜3およびシリコン酸化膜4の表面を覆うように高融点金属であるコバルト膜6をスパッタ法により堆積する。その後、RTA (Rapid Thermal Anneal) を施すことにより、多結晶シリコン膜3とコバルト膜6とを反応させ、コバルトシリサイド膜7a、7bを形成する。その後、リン酸、酢酸およびアンモニアの混合液を用いてシリコン酸化膜4の表面上に存在する未反応のコバルト膜6を除去し、図3の状態とする。次に、再びRTAを施すことにより、コバルトシリサイド膜7a、7bの低抵抗化を図る。

【0025】その後、図4に示すように、コバルトシリサイド膜7a、7bをマスクとして、シリコン酸化膜2の表面が露出するまで、シリコン酸化膜4および多結晶シリコン膜3をエッチングし除去し、コバルトシリサイド膜7a、7bおよび多結晶シリコン膜3a、3bを含むポリサイド膜からなるゲート電極37a、37bを形成する。次に、図5に示すように、ゲート電極37a、37bを埋め込むように層間酸化膜8をシリコン酸化膜2の上に堆積する。

【0026】このような製造方法を用いることにより、多結晶シリコン膜3a、3bおよびコバルトシリサイド膜7a、7bの上にハードマスクとなる膜を残すことなくゲート電極37a、37bを形成できる。それにより、ゲート電極37a、37bが2以上近接して形成されるような本実施の形態のような場合に、ゲート電極37a、37bの上にハードマスクとなる膜が残存するような従来の製造方法に比較して、ゲート電極37a、37b同士の間隙の埋め込み部分のアスペクト比を小さくできる。そのため、ゲート電極37a、37bを埋め込むような層間酸化膜8を形成する工程において、ゲート電極37a、37b同士の間隙に層間酸化膜8となる膜が埋め込まれず、ボイドが形成されるような不都合な現象が抑制される。その結果、ゲート電極37a、37b同士の間隙の間隔が小さい場合にも、層間酸化膜8を形成する以降の後工程が精確に行なえるため、半導体装置がさらに微細化できる。

【0027】（実施の形態2）次に、本発明の実施の形態2における半導体装置の製造方法を、図6～図11を用いて説明する。本実施の形態における半導体装置の製造方法は、レジスト膜5によりシリコン酸化膜4をドライエッチングし、所定のパターンの接近した開口を形成して、多結晶シリコン膜3の上面を露出する工程までは、実施の形態1と同様の工程を行なう。

【0028】次に、図1の状態においてレジスト膜5を除去した後、図6に示すように、多結晶シリコン膜3およびシリコン酸化膜4を覆うように、多結晶シリコン膜

3より選択比が大きなシリコン酸化膜9を堆積する。その後、図7に示すように、多結晶シリコン膜3の表面が露出するまで、シリコン酸化膜9をエッチバックし、シリコン酸化膜4に形成された開口の側壁に側壁シリコン酸化膜9a、9bを形成する。次に、図8に示すように、多結晶シリコン膜3、シリコン酸化膜4および側壁シリコン酸化膜9a、9bの表面を覆うように高融点金属であるコバルト膜6を堆積する。その後、RTAを施すことにより、多結晶シリコン膜3とコバルト膜6とを反応させ、コバルトシリサイド膜7a、7bを形成する。

【0029】次に、図9に示すように、リン酸、酢酸およびアンモニアの混合液を用いてシリコン酸化膜4および側壁シリコン酸化膜9a、9bの表面上に存在する未反応のコバルト膜6を除去する。その後、再びRTAを施すことにより、コバルトシリサイド膜7a、7bの低抵抗化を図る。次に、図10に示すように、コバルトシリサイド膜7a、7bをマスクとして、シリコン酸化膜2の表面が露出するまで、シリコン酸化膜4および多結晶シリコン膜3をエッチングすることによって除去し、コバルトシリサイド膜7a、7bおよび多結晶シリコン膜3a、3bを含むポリサイド膜からなるゲート電極37a、37bを形成する。次に、図11に示すように、ゲート電極37a、37bを埋め込むように層間酸化膜8をシリコン酸化膜2の上に堆積する。

【0030】このような製造方法を用いることにより、上記実施の形態1と同様に、ゲート電極37a、37b同士の間を埋め込み部分のアスペクト比が小さくなる。それにより、ゲート電極37a、37b同士の間を層間酸化膜8となる膜が埋め込まれず、ボイドが形成されるような不都合な現象が抑制される。その結果、ゲート電極37a、37b同士が接近して形成できるため、微細化された半導体装置を形成することが可能となる。

【0031】また、側壁酸化膜9a、9bを有した状態でコバルトシリサイド膜7a、7bを形成するため、シリコン酸化膜4を用いて形成できるパターンの最小幅よりも細い幅のパターンでコバルトシリサイド膜7a、7bを形成できる。そのため、細幅のコバルトシリサイド膜7a、7bを用いて多結晶シリコン膜3a、3bをエッチングするため、ポリサイド膜からなるゲート電極37a、37bをさらに微細化することができる。その結果、側壁膜9a、9bを用いない場合に比較してさらに半導体装置を微細化できる。

【0032】(実施の形態3) 次に、本発明の実施の形態3における半導体装置の製造方法を、図12～図21を用いて説明する。まず、シリコン基板1にLOCOS法またはトレンチ分離方式により素子分離領域(図示せず)を形成する。

【0033】次に、素子形成領域のシリコン基板1の表面から5nm～100nmの深さにかけてゲート酸化膜

を含むシリコン酸化膜2を形成する。その後、シリコン酸化膜2の上に、膜厚50nm～200nmのリンがドーパされた多結晶シリコン膜3を化学気相成長法、すなわち、CVD法により形成する。

【0034】次に、多結晶シリコン膜3の上に、サリサイドプロテクションとして利用される多結晶シリコン膜3より選択比が大きなシリコン窒化膜10を形成する。その後、写真製版処理を行ない、シリコン窒化膜10の上に所定のパターンのレジスト膜5を形成する。次に、レジスト膜5によりシリコン窒化膜10をドライエッチングし、所定のパターンの接近した2つの開口を形成して、多結晶シリコン膜3をの上面を露出し、図12に示す状態とする。次に、レジスト膜5を除去する。その後、図13に示すように、多結晶シリコン膜3およびシリコン窒化膜10の表面を覆うように、シリコン窒化膜10および多結晶シリコン膜3より選択比が大きなシリコン酸化膜9を堆積する。その後、図14に示すように、多結晶シリコン膜3の表面が露出するまで、シリコン酸化膜9をエッチバックし、シリコン窒化膜10の開口の側壁に側壁シリコン酸化膜9a、9bを形成する。

【0035】次に、図15に示すように、2つの開口パターン的一方を形成する多結晶シリコン膜3、シリコン酸化膜9bおよびシリコン酸化膜9b近傍のシリコン窒化膜10の表面を覆うように、レジスト膜11を形成する。その後、シリコン酸化膜9aのエッチング速度がシリコン窒化膜10のエッチング速度より大きいことを利用して、図16に示すように、フッ酸を用いてウェットエッチングすることによりシリコン酸化膜9aを除去した後、図17に示すようなレジスト膜11が取り除かれた状態とする。

【0036】次に、図18に示すように、多結晶シリコン膜3、シリコン窒化膜10および側壁シリコン酸化膜9bの表面を覆うように高融点金属であるコバルト膜6を堆積する。その後、RTAを施すことにより、多結晶シリコン膜3とコバルト膜6とを反応させ、コバルトシリサイド膜7a、7bを形成する。次に、リン酸、酢酸およびアンモニアの混合液を用いてシリコン窒化膜10の表面上のコバルト膜6を除去し、図19に示す状態とする。その後、再び、コバルトシリサイド膜7にRTAを施すことにより、低抵抗化を図る。次に、コバルトシリサイド膜7a、7bをマスクとして、シリコン酸化膜2の表面が露出するまで、シリコン窒化膜10および多結晶シリコン膜3をエッチングすることにより除去し、図20に示すように、コバルトシリサイド膜7a、7bおよび多結晶シリコン膜3a、3bからなるゲート電極37a、37bを形成する。次に、図21に示すように、ゲート電極37a、37bを埋め込むように層間酸化膜8をシリコン酸化膜2の上に堆積する。

【0037】このような製造方法を用いることにより、上記実施の形態1または2と同様に、ゲート電極37

a, 37b 同士の間埋め込み部分のアスペクト比が小さくなる。それにより、ゲート電極 37a, 37b 同士の間に層間酸化膜 8 となる膜が埋め込まれず、ボイドが形成されるような不都合な現象が抑制される。その結果、ゲート電極 37a, 37b 同士を接近して形成できるため、半導体装置の微細化が可能となる。

【0038】また、シリコン酸化膜は、レジスト膜 11 およびシリコン窒化膜 10 より選択比が大きいので、レジスト膜 11 に覆われない領域のシリコン酸化膜 9a のみがエッチングにより除去される。そのため、レジスト膜 11 により覆われた領域以外の領域に形成されたゲート電極 37b は、側壁酸化膜 9b を有した状態で細幅に加工されたコバルトシリサイド膜 7b をマスクとして形成される。それにより、シリコン窒化膜 10 のパターンが形成できる最小幅よりも細い幅のパターンでゲート電極 37b が形成される。そのため、レジスト膜 11 に覆われた領域以外の領域に形成されたゲート電極 37b はさらに微細化される。また、レジスト膜 11 覆われた領域は、側壁酸化膜 9a が除去された状態でコバルトシリサイド膜 7a が形成されるため、シリコン窒化膜 10 に開口パターンが形成されたときの幅でコバルトシリサイド膜 7a が形成され、エッチングが行われる。それにより、ゲート電極 37a はシリコン窒化膜 10 に形成された開口パターンの幅で形成される。そのため、半導体装置が複数の素子形成領域を有する場合において、異なる幅のゲート電極 37a, 37b を、それぞれの領域に 1 工程で形成することができる。その結果、異なる領域に異なる幅のゲート電極 37a, 37b を同時に形成することが可能となるため、半導体装置の製造工程が減少する。

【0039】本実施の形態では、ゲート電極が接近している場合の例を示したが、ゲート電極が半導体ウエハ上で離れた領域に形成される場合においても、上記本実施の形態における半導体装置の製造方法を用いれば、異なる幅のゲート電極を同一工程において形成できる。

【0040】なお、上記実施の形態 1～3 においては、シリサイド保護膜として、シリコン酸化膜またはシリコン窒化膜を用いたが、多結晶シリコン膜より選択比が大きい材料であれば他の材料であってもよい。また、細幅のゲート電極を形成するための側壁膜としてシリコン酸化膜を用いたが、シリサイド保護膜よりも選択比が大きい材料であれば他の材料であってもよい。また、上記実施の形態では、高融点金属シリサイド膜を形成するために、多結晶シリコン膜を用いたが、シリサイド膜が形成できれば非晶質シリコン膜または単結晶シリコン膜であってもよい。また、高融点金属としてコバルトを用いたが、シリコンと反応してシリサイドを形成できる高融点金属であれば、タングステン、または、チタン等の他の金属であってもよい。

【0041】また、本実施の形態では、自己整合的に形

成された高融点金属シリサイド膜を用いてエッチングすることにより、ゲート電極の形成を行なったが、ポリサイド膜による導電層であれば他の配線等を高融点金属シリサイド膜を用いてエッチングすることにより形成してもよい。

【0042】上記実施の形態 1～3 においては、ゲート電極を形成するための開口が複数存在するような場合を説明したが、1つの開口によって形成され、分岐するように接続された複数のゲート電極が隣接して設けられるような場合においても、上記実施の形態 1～3 に示した半導体装置の製造方法を用いれば、同様の効果を得ることができる。

【0043】また、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなく特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0044】

【発明の効果】請求項 1 に記載の本発明における半導体装置の製造方法によれば、配線層またはゲート電極同士の間の間隔が小さい場合にも、層間絶縁膜を形成する以降の工程が精確に行なえるため、従来に比較して微細化された半導体装置を形成することが可能となる。

【0045】請求項 2 に記載の本発明における半導体装置の製造方法によれば、側壁膜を有した状態で高融点金属シリサイド膜を形成するため、第 2 膜に形成された開口パターンを用いて形成できるパターンの最小幅よりも細い幅のパターンで高融点金属シリサイド膜を形成することにより、側壁膜を用いない場合に比較して半導体装置を微細化することができる。

【0046】請求項 3 に記載の本発明における半導体装置の製造方法によれば、側壁膜の膜幅だけ配線層またはゲート電極の幅をより小さくできることにより、配線層またはゲート電極同士をさらに接近して形成できるため、側壁膜を用いない場合に比較して半導体装置をさらに微細化することができる。

【0047】請求項 4 に記載の本発明における半導体装置の製造方法によれば、半導体装置が複数の素子形成領域を有する場合において、異なる幅の配線層またはゲート電極を、それぞれの領域に 1 工程で形成することができることにより、異なる領域に異なる幅の配線層またはゲート電極を同時に形成することが可能となるため、半導体装置の製造工程が減少する。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 に記載の半導体装置の製造方法において、レジスト膜をマスクとして写真製版技術により、シリコン酸化膜をドライエッチングし、多結晶シリコン膜を露出させた直後の断面の状態を示す図である。

【図2】 本発明の実施の形態1に記載の半導体装置の製造方法において、多結晶シリコン膜およびシリコン酸化膜の表面にコバルト膜をスパッタ法により堆積した直後の断面の状態を示す図である。

【図3】 本発明の実施の形態1に記載の半導体装置の製造方法において、熱処理により多結晶シリコン膜とコバルト膜とを反応させ、未反応のコバルト膜を除去した直後の断面の状態を示す図である。

【図4】 本発明の実施の形態1に記載の半導体装置の製造方法において、コバルトシリサイド膜をマスクとして、シリコン酸化膜および多結晶シリコン膜をエッチングした直後の断面の状態を示す図である。

【図5】 本発明の実施の形態1に記載の半導体装置の製造方法において、ゲート電極を覆う層間酸化膜を形成した直後の断面の状態を示す図である。

【図6】 本発明の実施の形態2に記載の半導体装置の製造方法において、所定の開口が形成されたシリコン酸化膜および多結晶シリコン膜を覆うようにシリコン酸化膜を形成した直後の断面の状態を示す図である。

【図7】 本発明の実施の形態2に記載の半導体装置の製造方法において、シリコン酸化膜の開口側壁に側壁シリコン酸化膜を形成した直後の断面の状態を示す図である。

【図8】 本発明の実施の形態2に記載の半導体装置の製造方法において、スパッタ法を用いてコバルト膜を堆積した直後の断面の状態を示す図である。

【図9】 本発明の実施の形態2に記載の半導体装置の製造方法において、熱処理により多結晶シリコン膜とコバルト膜とを反応させた直後の断面の状態を示す図である。

【図10】 本発明の実施の形態2に記載の半導体装置の製造方法において、コバルトシリサイド膜をマスクとして、シリコン酸化膜、側壁シリコン酸化膜および多結晶シリコン膜をエッチングした直後の断面の状態を示す図である。

【図11】 本発明の実施の形態2に記載の半導体装置の製造方法において、ゲート電極を覆う層間酸化膜を形成した直後の断面の状態を示す図である。

【図12】 本発明の実施の形態3に記載の半導体装置の製造方法において、レジスト膜をマスクとしてシリコン窒化膜に所定のパターンの開口を形成した直後の断面の状態を示す図である。

【図13】 本発明の実施の形態3に記載の半導体装置の製造方法において、シリコン窒化膜および多結晶シリコン膜の表面を覆うようにシリコン酸化膜を形成した直後の断面の状態を示す図である。

【図14】 本発明の実施の形態3に記載の半導体装置の製造方法において、シリコン窒化膜の開口の側壁に側

壁酸化膜を形成した直後の断面の状態を示す図である。

【図15】 本発明の実施の形態3に記載の半導体装置の製造方法において、所定の開口形成領域を覆うようにレジスト膜を形成した直後の断面の状態を示す図である。

【図16】 本発明の実施の形態3に記載の半導体装置の製造方法において、フッ酸を用いて側壁シリコン酸化膜をエッチングした直後の断面の状態を示す図である。

【図17】 本発明の実施の形態3に記載の半導体装置の製造方法において、レジスト膜を除去した直後の断面の状態を示す図である。

【図18】 本発明の実施の形態3に記載の半導体装置の製造方法において、スパッタ法によりコバルト膜を堆積した直後の断面の状態を示す図である。

【図19】 本発明の実施の形態3に記載の半導体装置の製造方法において、熱処理により多結晶シリコン膜とコバルト膜とを反応させた直後の断面の状態を示す図である。

【図20】 本発明の実施の形態3に記載の半導体装置の製造方法において、コバルトシリサイド膜をマスクとして、側壁シリコン酸化膜、シリコン窒化膜および多結晶シリコン膜をエッチングした直後の断面の状態を示す図である。

【図21】 本発明の実施の形態3に記載の半導体装置の製造方法において、ゲート電極を覆う層間酸化膜を形成した直後の断面の状態を示す図である。

【図22】 従来の半導体装置の製造方法において、シリコン窒化膜の上にレジスト膜をパターンニングした直後の断面の状態を示す図である。

【図23】 従来の半導体装置の製造方法において、レジスト膜をマスクとしてシリコン窒化膜およびシリコン酸化膜をエッチングした直後の断面の状態を示す図である。

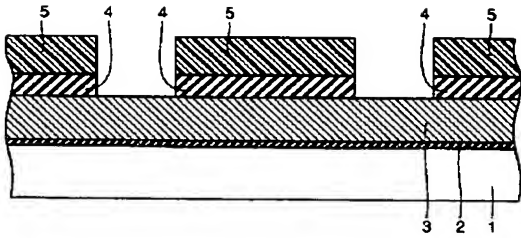
【図24】 従来の半導体装置の製造方法において、シリコン窒化膜およびシリコン酸化膜をハードマスクとしてタングステンシリサイド膜および多結晶シリコン膜をエッチングした直後の断面の状態を示す図である。

【図25】 従来の半導体装置の製造方法において、ゲート電極を覆う層間酸化膜を形成した直後の断面の状態を示す図である。

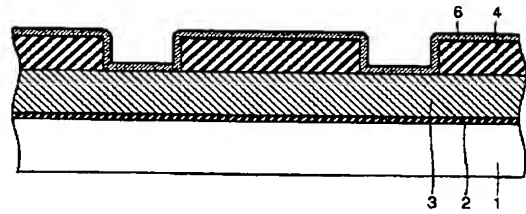
【符号の説明】

- 1 半導体基板、2 シリコン酸化膜、3, 3a, 3b 多結晶シリコン膜、4 シリコン酸化膜、5 レジスト膜、6 コバルト膜、7a, 7b コバルトシリサイド膜、8 層間酸化膜、9 シリコン酸化膜、9a, 9b 側壁シリコン酸化膜、10 シリコン窒化膜、11 レジスト膜、37a, 37b ゲート電極。

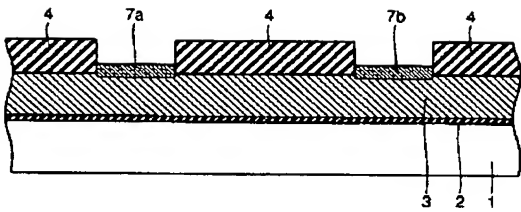
【図1】



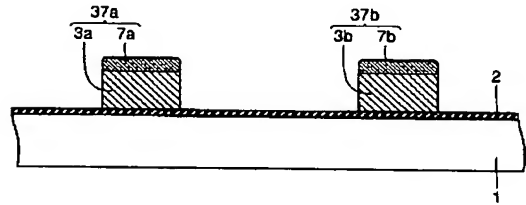
【図2】



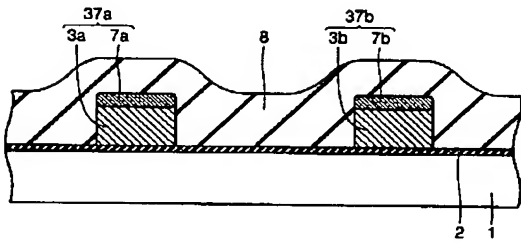
【図3】



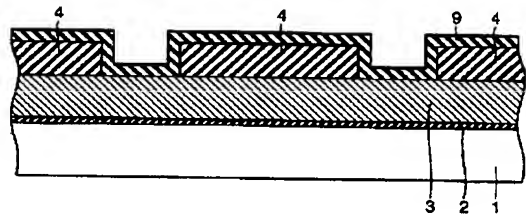
【図4】



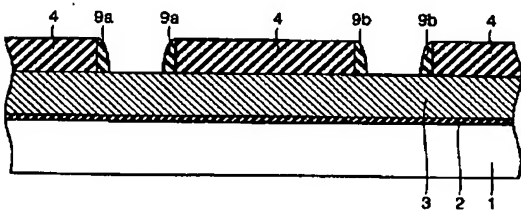
【図5】



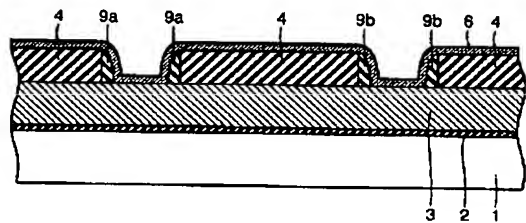
【図6】



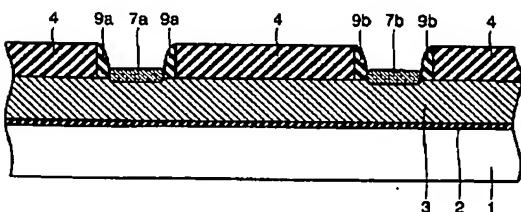
【図7】



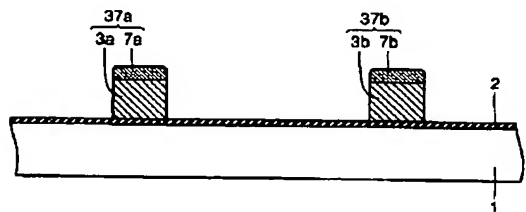
【図8】



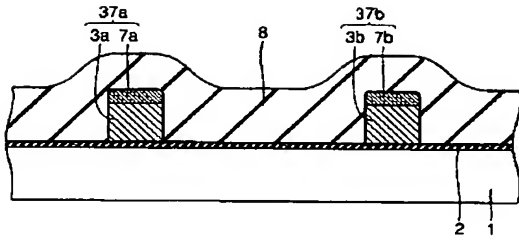
【図9】



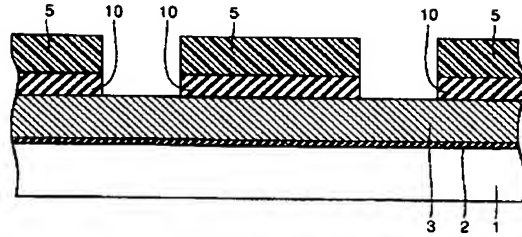
【図10】



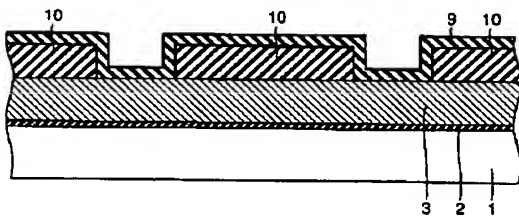
【図11】



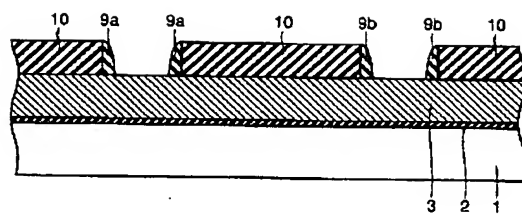
【図12】



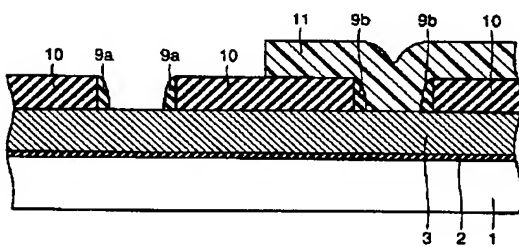
【図13】



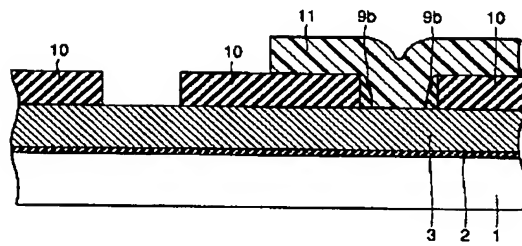
【図14】



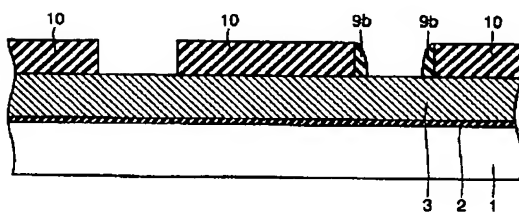
【図15】



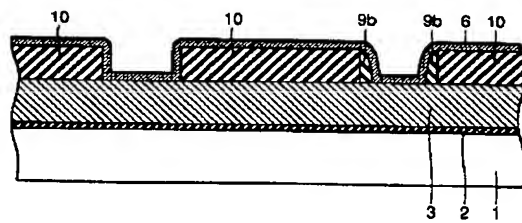
【図16】



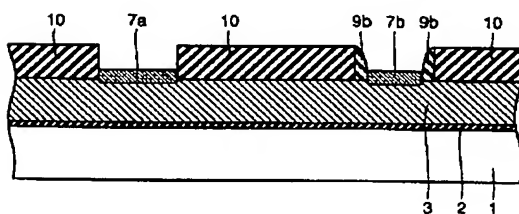
【図17】



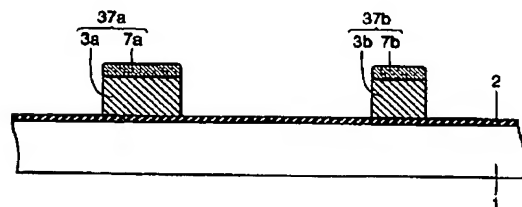
【図18】



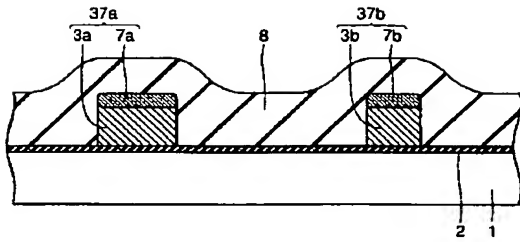
【図19】



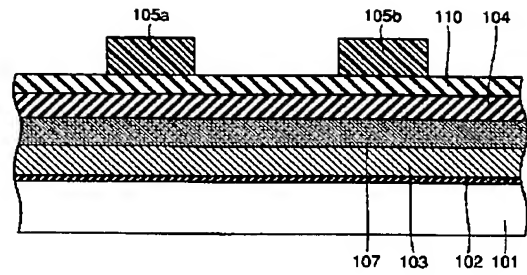
【図20】



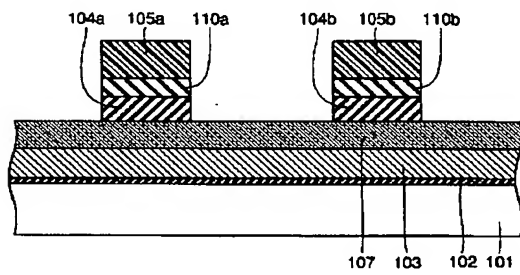
【図21】



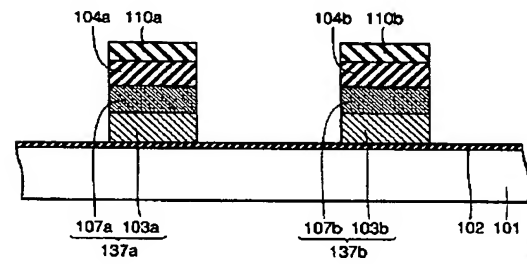
【図22】



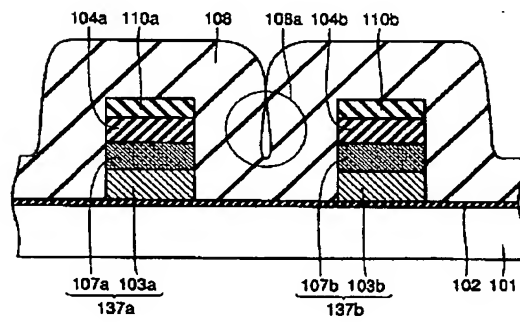
【図23】



【図24】



【図25】



フロントページの続き

Fターム(参考) 4M104 AA01 BB01 CC05 DD04 DD08
DD16 DD32 DD37 DD43 DD64
DD71 DD80 DD84 FF14 GG14
HH14
5F033 HH04 HH05 HH06 HH25 HH26
HH27 HH28 MM07 PP06 PP15
QQ08 QQ11 QQ27 QQ30 QQ31
QQ35 QQ37 QQ70 QQ73 QQ82
RR04 RR06 TT06 TT07 VV06
XX03
5F040 DB01 DC01 EC01 EC07 EC13
FC19 FC22 FC28
5F048 AA01 AC01 BB05 BB08 BB12
BG11